

注意：考試開始鈴響或綠燈亮前，不可以翻閱試題本

105 學年度身心障礙學生升學大專校院甄試試題本

**甄試類(群)組別：四技二專組**

**【電機與電子群資電類】**

**考試科目(編號)：專業科目(二)**

**數位邏輯、數位邏輯實習、  
電子學實習、計算機概論(C2213)**

**—作答注意事項—**

1. 考試時間：90 分鐘。
2. 請在答案卷上作答，並答案卷每人一張，不得要求增補。
3. 請核對報考甄試類(群)組別、考試科目是否相符。
4. 單選題共 25 題。

單選題，共 25 題，每題 4 分

1. 傳統上，所謂達靈頓電路(Darlington Circuit)是：
  - (A)使用兩個共集極(Common Collector) BJT電晶體所組成
  - (B)使用兩個共源極(Common Source) BJT電晶體所組成
  - (C)使用兩個共洩極(Common Drain)電晶體所組成
  - (D)使用兩個共基極(Common Base)電晶體所組成
  
2. 當金屬氧化物半導體場效電晶體(MOSFET)操作在歐姆區(Ohmic Region)時：
  - (A)通道間的電流 $I_{DS}$ 永遠保持固定
  - (B)通道為夾止(Pinch-off)的情形
  - (C)通道兩端間的電阻值大致可以視為固定值
  - (D)閘極(Gate)到通道間會形成崩潰(Break Down)的現象
  
3. 某一運算放大器的輸入抵補電壓(Offset Voltage)為2 mV，這表示：
  - (A)操作此運算放大器必需要有外部的偏壓(Bias)2 mV
  - (B)經過此運算放大器放大後的電壓，會有 $\pm 2\text{mV}$ 的偏差
  - (C)在此運算放大器的原始輸入訊號沒有電壓差的時候，若要使輸出為0，所必要需要額外增加的電壓差為2mV
  - (D)當輸入電壓有2mV的變化時候，運算放大器即可以開始工作
  
4. 若是針對一個運算放大器所組成之微分電路輸入一個三角波訊號，則其輸出為：
  - (A)三角波
  - (B)方波
  - (C)弦波
  - (D)脈波
  
5. 常用的燈型發光二極體，下列描述何者錯誤？
  - (A)其長短腳各自為A極(陽極)與K極(陰極)
  - (B)材料上，A極(陽極)端為P極，K極(陰極)端為N極
  - (C)在一般應用範圍內，亮度與流過二極體的電流成正比
  - (D)要使用三用電錶來測試接腳極性時必須要使用電流檔位

6. 以下對於一般NPN/PNP電晶體的參數 $\alpha$ 與 $\beta$ 之描述何者錯誤？
- (A)  $\alpha$ 通常表示為 $\alpha=I_C/I_E$ ，這個值永遠小於1
  - (B)  $\beta$ 通常表示 $\beta=I_C/I_B$ ，這個值基本上大於1
  - (C)  $\alpha$ 與 $\beta$ 的關係可以表達為 $\alpha=\beta/(1-\beta)$
  - (D) 三用電錶的 $\times 10(h_{FE})$ 檔位就是用來量測電晶體的 $\beta$ 值
7. 一般常用的圖像式二維條碼 QR Code，其英文 QR 是指：
- (A) Quick Response
  - (B) Quantity Regulation
  - (C) Quality Roadmap
  - (D) Quanta Research
8. 某網站的網址為「ftp://ftp.document.net」，這表示該網站目的是用來：
- (A) 檔案傳輸服務
  - (B) 線上影音服務
  - (C) Email服務
  - (D) 線上防毒服務
9. 為了避免電力公司突然電力中斷，造成編輯資料的遺失或者硬體的損壞，我們可以裝設何種設備？
- (A) GPS
  - (B) SMS
  - (C) UPS
  - (D) ETC
10. 以下針對集線器(Hub)與路由器(Router)描述何者是正確的？
- (A) 集線器用於降低網路訊號線的長度
  - (B) 集線器用來分享多個IP
  - (C) 路由器主要是找出最佳資料的傳遞路徑
  - (D) 路由器主要是用來橋接兩個不同通訊協議
11. 使用一般紅外線(Infrared；IR)於資料傳輸，主要會有哪個缺點？
- (A) 必須要高功率傳輸
  - (B) 成本高
  - (C) 必須要使用高速晶片處理
  - (D) 傳輸路徑不可以有障礙物

12. 下列對於一般電腦上的快取記憶體(Cache Memory)之描述何者錯誤？
- (A) 大部分使用 DRAM 結構
  - (B) 其存取的速度比主記憶體(Main Memory)還快
  - (C) 空間上，其擺放的位置會靠近所需要資料的處理器
  - (D) 可以根據不同的記憶體階層分為 L1, L2, L3 快取
13. 某電腦 CPU 想要執行累加 1 到 100 的計算程式，請問 CPU 內的哪個部份主要用來負責加法的動作？
- (A) 輸入單元(Input Unit；IU)
  - (B) 算術/邏輯單元(Arithmetic/Logic Unit；ALU)
  - (C) 記憶體單元(Memory Unit；MU)
  - (D) 控制單元(Control Unit；CU)
14. 已知 74ALS00 的  $V_{OH(min)}=2.5V$ 、 $I_{OH(max)}=-0.4mA$ 、 $V_{OL(max)}=0.5V$ 、 $I_{OL(max)}=8.0mA$ 、 $V_{IH(min)}=2.0V$ 、 $I_{IH(max)}=20\mu A$ 、 $V_{IL(max)}=0.8V$ 、 $I_{IL(max)}=-0.1mA$ ；7400 的  $V_{OH(min)}=2.4V$ 、 $I_{OH(max)}=-0.4mA$ 、 $V_{OL(max)}=0.4V$ 、 $I_{OL(max)}=16.0mA$ 、 $V_{IH(min)}=2.0V$ 、 $I_{IH(max)}=40\mu A$ 、 $V_{IL(max)}=0.8V$ 、 $I_{IL(max)}=-1.6mA$ ，若以 7400 驅動 74ALS00，請問一個 7400 邏輯閘最多可以驅動幾個 74ALS00 邏輯閘？
- (A) 100
  - (B) 20
  - (C) 16
  - (D) 10
15. 16 進位的  $5A5A_{(16)}$ ，轉換為 8 進位數字為：
- (A)  $512512_{(8)}$
  - (B)  $5132_{(8)}$
  - (C)  $3232_{(8)}$
  - (D)  $55132_{(8)}$

16. 7400為具有4個兩輸入反及閘(NAND)的IC、7402為具有4個兩輸入反或閘(NOR)的IC、7404為具有6個反閘(NOT)的IC、7408為具有4個兩輸入或閘(OR)的IC，若工程師需要使用7404內的一個邏輯閘，但手邊卻恰好沒有7404，在不考慮延遲情形下，可以如何替代？
- (A) 將7400的某一邏輯閘所有輸入並聯，該邏輯閘即可替代7404
  - (B) 7402的某一邏輯閘其中一個輸入接到高準位，該邏輯閘剩下的輸出入便可替代7404
  - (C) 7408的某一邏輯閘其中一個輸入接到低準位，該邏輯閘剩下的輸出入便可替代7404
  - (D) 將7408的某一邏輯閘所有輸入並聯，該邏輯閘即可替代7404
17. 下列何者為三輸入的反及閘(NAND)之等效函數？
- (A)  $F(X,Y,Z) = \overline{X} \cdot \overline{Y} \cdot \overline{Z}$
  - (B)  $F(X,Y,Z) = X \cdot Y + Z$
  - (C)  $F(X,Y,Z) = X + Y + Z$
  - (D)  $F(X,Y,Z) = \overline{X + Y \cdot Z}$
18. 現有一4位元全加器，想藉由外加其他4個相同的邏輯閘，使其同時具有全加器與2的補數全減器之功能。希望透過加入一減法選擇線，當減法選擇線為'1'，則執行減法，'0'則執行加法。下列描述何者正確？
- (A) 此外加邏輯閘為兩輸入互斥或閘(XOR)，各閘的輸入分別為減數各位元，各閘的共同輸入為減法選擇線，輸出連接至原全加器各位元輸入，且原全加器進位輸入為'1'
  - (B) 此外加邏輯閘為反閘(NOT)，各閘的輸入為減數各位元，輸出連接至原全加器各位元輸入，同時原全加器之進位輸入為'1'
  - (C) 此外加邏輯閘為兩輸入互斥或閘(XOR)，各閘的輸入分別為減數各位元，各閘的共同輸入為減法選擇線，輸出連接至原全加器之各位元輸入，且原全加器進位輸入連接至減法選擇線
  - (D) 此外加邏輯閘為兩輸入反或閘(NOR)，各閘的輸入分別為減數各位元，各閘的共同輸入為減法選擇線，輸出連接至原全加器各位元輸入，同時原全加器進位輸入連接至減法選擇線

19. 一個8位元的右移位暫存器，其輸出由左至右為 $Q_7$   $Q_6$   $Q_5$   $Q_4$   $Q_3$   $Q_2$   $Q_1$   $Q_0$ ，如果輸出之初始值為01110101，若將 $Q_1$ 接到最左邊 $Q_7$ 的輸入，經過了四個時脈後，請問其暫存器的輸出值為？
- (A) 01010111  
(B) 10100111  
(C) 01010101  
(D) 01110101
20. 關於一個輸出由高到低位元為 $Q_{n-1}$   $Q_{n-2}$ .....  $Q_1$   $Q_0$ 的負緣觸發連波計數器，下列描述何者正確？
- (A) 若將每級正反器的時脈輸入接到前一級的 $\bar{Q}$ ，則構成上數計數器  
(B) 將 $Q_3$ 和 $Q_7$ 輸入到一個反及閘，反及閘的輸出接至所有正反器的清除端( $\overline{CLR}$ )，則構成模數10(MOD-10)的連波計數器  
(C) 模數8(MOD-8)的連波計數器，其每個正反器穩態延遲為10ns，則計數器的最高工作頻率為80MHz  
(D) 10進位(BCD)計數器最大輸出值為1001<sub>(2)</sub>
21. 對偶雙排封裝(DIP)14支腳型的TTL邏輯閘IC，如74LS00，接腳朝下的俯視圖中，若IC缺口(或缺角、打點)在左方時，下列敘述何者正確？
- (A) 上方的最左邊接腳為編號第1之接腳，應該接到工作電壓( $V_{CC}$ )  
(B) 下方的最左邊接腳為編號第7之接腳，應該接到工作電壓( $V_{CC}$ )  
(C) 下方的最右邊接腳為編號第14之接腳，應該接到地(GND)  
(D) 下方的最右邊接腳為編號第7之接腳，應該接到地(GND)
22. 若發現實驗室的電器引起火災，應使用以下何者滅火？
- (A) 二氧化碳滅火設備  
(B) 水  
(C) 泡沫滅火器  
(D) D類乾粉滅火設備
23. 利用4對1多工器實現 $F(X, Y, Z) = \Sigma(0, 1, 2, 3, 5, 7)$ ，該多工器有一條輸出線F，四輸入線為 $D_0, D_1, D_2, D_3$ ，且兩條選擇線 $S_1, S_0$ ，其中 $S_1 = X, S_0 = Y$ ，下列描述何者正確？
- (A)  $D_0 = X$   
(B)  $D_1 = Y$   
(C)  $D_2 = \bar{Z}$   
(D)  $D_3 = \bar{Z}$

24. 將D型正反器的輸出Q接至輸入端D，清除端( $\overline{CLR}$ )與設定端( $\overline{SET}$ )接到'1'，當經過一完整時脈CLK後，下列敘述何者正確？
- (A) Q維持原來狀態
  - (B) Q成為原本的反相
  - (C) Q=1
  - (D) Q=0
25. 7490內含：一個除2計數器，其時脈輸入接腳為Input A，計數輸出接腳為 $Q_A$ ；以及一個除5計數器，其時脈輸入接腳為Input B，計數輸出接腳是 $Q_D Q_C Q_B$ 。在重置輸入 $R_{9(1)}$ 、 $R_{9(2)}$ 已接至地的條件下，若輸入接腳 $R_{0(1)}$ 、 $R_{0(2)}$ 同時為"1"時，所有的計數輸出會重置為0，請問以下敘述何者正確？
- (A) 若將時脈輸入到Input A，同時 $Q_A$ 接到Input B， $R_{0(1)}$ 、 $R_{0(2)}$ 接至地，則可構成除25計數器
  - (B) 若將時脈輸入到Input A， $Q_A$ 接到Input B， $Q_D$ 接到 $R_{0(1)}$ 與 $R_{0(2)}$ 則可構成除9計數器
  - (C) 若將時脈輸入到Input B，同時 $Q_D$ 接到Input A， $R_{0(1)}$ 、 $R_{0(2)}$ 接至地，則可構成除7計數器
  - (D) 若將時脈輸入到Input A， $Q_A$ 接到Input B， $Q_B$ 接到 $R_{0(1)}$ 同時 $Q_C$ 接到 $R_{0(2)}$ ，則可構成除6計數器